

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097772

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H03H 17/02  
H03H 17/04

(21)Application number : 03-229441

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 15.08.1991

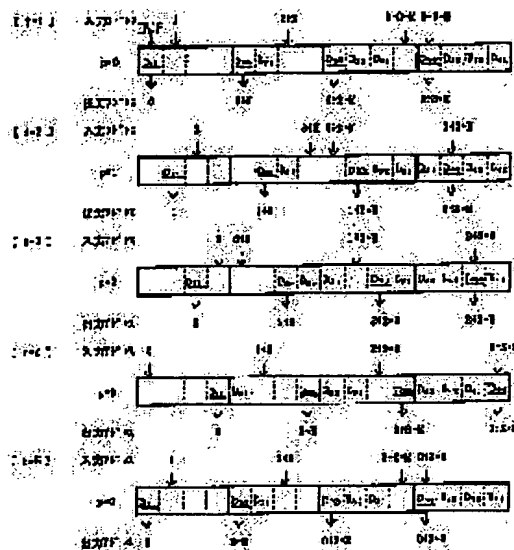
(72)Inventor : ABE KATSUO

## (54) METHOD AND DEVICE FOR DELAYING ARITHMETIC DATA OF DIGITAL FILTER

## (57)Abstract:

**PURPOSE:** To shorten the calculation time of a pointer by displacing an input address in the direction in which an address increases, while holding it in a position relation in which a relative address increases by '1' each from the head address of each data buffer.

**CONSTITUTION:** At a timing 2, a value of a pointer (p) is added by '1' and an output address of a data buffer of each fundamental filter advances by '1' from an address at a timing 1, and a relative address becomes an address of '1'. Also, an input address, as well advances by '1' from the address at the timing 1, and in a data buffer of a fundamental filter of a stage 1, the relative address becomes an address of 2. In the same way, in data buffers of fundamental filters of stages 2-4, relative addresses become addresses of 3, '0' (head address), and '1', respectively. Subsequently, at a timing 5, the value of the pointer (p) becomes 4, and becomes the same as a state that the value of the pointer (p) is '0', and thereafter, the state from the timing 1 to 4 is repeated, and the time required for a pointer calculation is shortened remarkably.



## LEGAL STATUS

[Date of request for examination]

21.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3154759

[Date of registration]

02.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

02.02.2004

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl.<sup>5</sup>H 0 3 H 17/02  
17/04

識別記号

庁内整理番号

K 7037-5 J  
A 7037-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全14頁)

(21)出願番号

特願平3-229441

(22)出願日

平成3年(1991)8月15日

(71)出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72)発明者 安部 勝雄

神奈川県高座郡寒川町小谷二丁目1番1号

東洋通信機株式会社内

(74)代理人 弁理士 鈴木 均

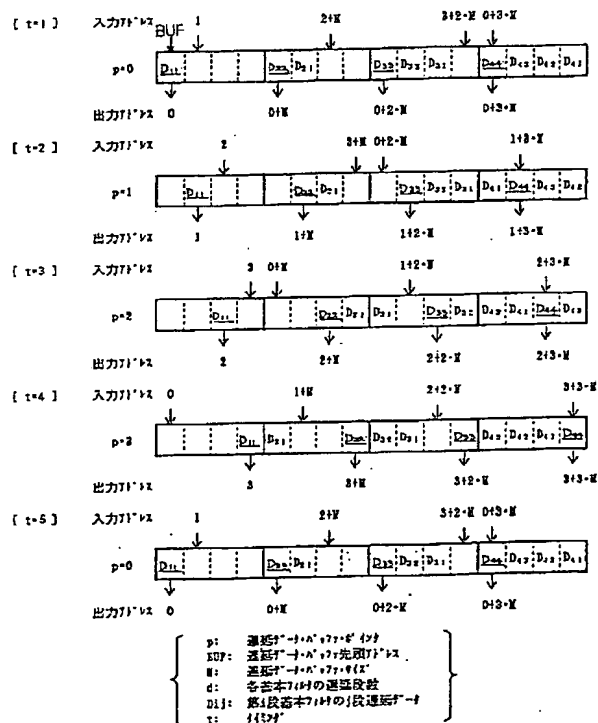
(54)【発明の名称】 デジタル・フィルタの演算データの遅延方法及び

装置

(57)【要約】

【目的】 ハードウェアで実現する場合に保持すべきポインタの数が少なく、またソフトウェアで実現場合にポインタの計算に要する時間が大幅に短縮できる、遅延段数が順次増加する基本フィルタのカスケード接続により構成されるデジタル・フィルタの演算データの遅延方法を提供すること。

【構成】 各基本フィルタに対して、少なくとも遅延段数が最大の基本フィルタの遅延データを格納可能な同サイズのデータ・バッファを割り当ててメモリ上に連続配置し、各バッファにデータを書き込む入力アドレスを、各バッファの先頭アドレスからの相対アドレスが互に等しくなる位置関係又は各バッファから所要のタイミング数遅延されたデータを読み出す出力アドレスの各バッファの先頭アドレスからの相対アドレスが互に等しくなるような位置関係に保ちつつ、タイミングの進行と共に各バッファ内で順回変位させる。



**【特許請求の範囲】**

【請求項1】 遅延段数が順次増加する基本フィルタのカスケード接続により構成されるデジタル・フィルタの演算データの遅延方法であって、

各基本フィルタに対して、遅延段数が最大の基本フィルタの遅延データを格納可能なサイズの、同サイズのデータ・バッファを割り当ててメモリ上に連続して配置し、各データ・バッファにデータを書き込む入力アドレスを、各データ・バッファの先頭アドレスからの相対アドレスが等しくなる位置関係に保ちつつ、タイミングの進行と共に各データ・バッファ内で循環変位させ、各データ・バッファの対応する基本フィルタの演算に必要なタイミング数遅延されたデータを出力データとして読み出すことを特徴とするデジタル・フィルタの演算データの遅延方法。

【請求項2】 遅延段数が順次増加する基本フィルタのカスケード接続により構成されるデジタル・フィルタの演算データの遅延方法であって、

各基本フィルタに対して、遅延段数が最大の基本フィルタの遅延データを格納可能なサイズの、同サイズのデータ・バッファを割り当ててメモリ上に連続して配置し、各データ・バッファにデータを書き込む入力アドレスを、各データ・バッファの出力アドレスの各データ・バッファの先頭アドレスからの相対アドレスが等しくなるような位置関係に保ちつつ、タイミングの進行と共に各データ・バッファ内で循環変位させることを特徴とするデジタル・フィルタの演算データの遅延方法。

【請求項3】 遅延段数の異なる基本フィルタをカスケードに接続して構成するデジタル・フィルタにおいて、遅延データ・バッファからの遅延データのアクセス及び当該遅延データ・バッファへの新規データの格納を行うに際し、

各基本フィルタ毎に等しいサイズの遅延データ・バッファと、遅延データ・バッファ・サイズに等しい周期で1ずつ変化するポイントと、遅延データ・バッファ内の遅延データを抽出する遅延データ・アクセス部と、新規入力データを遅延データ・バッファ内に格納する新規データ格納部とを備えたことを特徴とするデータ遅延装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明は、遅延段数が順次増加する基本フィルタをカスケード接続することにより構成されるデジタル・フィルタの演算のためにデータを遅延させる方法に関する。より詳細には、音声合成、特にケプストラムから対数振幅特性近似(LogMagnitude Approximation) フィルタ(以下LMAフィルタと略記する)を用いて音声合成を行なうデジタル・フィルタの演算データの遅延方法に関する。

**【0002】**

【従来の技術】 音声合成に使用されているLMAフィル

タは、人間の聴覚上重要な対数振幅スペクトルを近似して生成することができるデジタル・フィルタであり、図1に示すような伝達関数を持ち、図2のシグナル・フロー・グラフに示すように遅延段数が順次増加する基本フィルタのカスケード接続により構成される。このフィルタの演算を行うために、従来、各ステージの基本フィルタに対してその基本フィルタの遅延段数と同数のデータを格納するデータ・バッファを用意し、各データ・バッファの先頭アドレスにデータ(第1ステージの基本フィルタのデータ・バッファに対しては新しいデータ、他のステージの基本フィルタのデータ・バッファに対しては前ステージの基本フィルタの演算結果)を入力しつつ各バッファのデータを1アドレスずつ移動させることによりデータを遅延させ、対応する基本フィルタの演算に必要なタイミング数遅延されたデータを出力するようにしていた。しかしこの方法では、ソフトウェアにより実現する場合には、総遅延段数が大きくなると、データの移動のために多くの時間がかかるようになる。そのため、音声合成をリアルタイムで行なう場合には、現在のハードウェアの性能では、計算時間に対する制約から、対数振幅スペクトルの近似精度を犠牲にして総遅延段数を減らすことにより実現させる得なかった。

【0003】そこで、対数振幅スペクトルの近似精度を上げるにはフィルタの総遅延段数を増やす必要があった。それには、データの遅延処理の速度を上げる必要があった。それには、データの移動を伴わない遅延方式が有効であった。この方法は、各基本フィルタに対してその遅延段数と同数のデータを格納するデータ・バッファを用いる点は上記方法と同様であるが、データは移動させないで、タイミングの進行につれてデータの入力アドレスを変位させるものである。各アドレスのデータは、タイミングが1つ進むごとに1タイミング遅延が進む。格納されているデータが所要タイミング数遅延され出力されて不要になると、そのアドレスにデータが書き込まれる。そしてこのデータの入出力を行うために、各データ・バッファに対してその入力アドレス及び出力アドレスを指定するポイントを用い、各タイミングごとに各データ・バッファのポイントの計算を行ない、入力アドレス及び出力アドレスを決定していた。

【0004】しかしながらこの方法は、ハードウェアにより実現する場合には、多数のポイントを保持しなければならない問題があった。また汎用のハードウェアで実現するときは、複数のポイントを持つハードウェアは極めて少ないのでメモリの1部をポイントとして使用するのが通例であり、ポイントの計算に時間がかかるという問題があった。さらにソフトウェアにより実現する場合には、単1のCPUでは1度に複数のポイントを計算することができないためポイントの計算に時間がかかり、複数のCPUにより並列に計算しようとするハードウェアやプログラムが複雑になるという問題があった。

## 【0005】

【発明の目的】本発明の目的は、ハードウェアで実現する場合多数のポインタを保持しなければならず、ソフトウェアで実現する場合及び汎用のハードウェアで実現する場合ポインタの計算に時間がかかるという従来技術の欠点を解決する点に存する。

## 【0006】

【発明の概要】本発明は、遅延段数が順次増加する基本フィルタのカスケード接続により構成されるデジタル・フィルタの各基本フィルタに対して、少なくとも遅延段数が最大の基本フィルタの遅延データを格納可能な、同サイズのデータ・バッファを割り当ててメモリ上に連続して配置し、各データ・バッファにデータを書き込む入力アドレスを、各データ・バッファの先頭アドレスからの相対アドレスが互に等しくなる位置関係または各データ・バッファからデータを読み出す出力アドレスの各データ・バッファの先頭アドレスからの相対アドレスが互に等しくなるような位置関係に保ちながら、タイミングの進行と共に各データ・バッファ内で循環変位させることにより上記課題を解決した。

## 【0007】

【実施例】次に本発明のデジタル・フィルタの演算データの遅延方法の実施例について、図を参照して説明する。

【0008】説明を簡単にするために、LMAフィルタのデータ遅延部を簡略化した図3のような伝達関数を持ち、図4のようなシグナル・フロー・グラフを持つデジタル・フィルタに対して本発明を適用した実施例について説明する。

【0009】図5は、データ・バッファの構成を示す。この実施例では、カスケード接続された全ての基本フィルタに対して、遅延段数が最大の基本フィルタの遅延段数と同サイズ（サイズ4）のデータ・バッファを割り当て、それらのデータ・バッファをメモリ内に連続して配置している。

【0010】なおデータ・バッファのサイズは、遅延段数が最大の基本フィルタの遅延段数より大きくすることもできる。

【0011】図6は、各データ・バッファの入力アドレス及び出力アドレスの位置関係とタイミングの進行による変位を示す説明図である。

【0012】この実施例では、図6に示すように、各データ・バッファの入力アドレスを、各データ・バッファの先頭アドレスからの相対アドレス（以下相対アドレスという）が1ずつ増大する位置関係に保ちつつ、タイミングの進行につれて1アドレスずつ進める（アドレスが大きくなる方向に変位させる）。ただし各データ・バッファの最後のアドレスを越えるときは、先頭アドレスに戻すことにより、各データ・バッファ内で循環的に変位させる。これにより各データ・バッファの出力アドレス

は相対アドレスが等しくなり、入力アドレスの変位にしたがって変位する。なお基本フィルタの遅延段数が複数段ずつ増加する場合には、各データ・バッファの相対アドレスも同数のアドレスずつ増大させることにより、各データ・バッファの出力アドレスの相対アドレスが等しくなる。

【0013】したがって、各データ・バッファの出力アドレス間の差アドレスは、各データ・バッファのサイズに等しくなる。しかも各データ・バッファのサイズを等しくしているので、各データ・バッファの出力アドレス間の差アドレスは同じになる。

【0014】またこの実施例では、ポインタpを用いて各データ・バッファの出力アドレスの相対アドレスを指定している。したがって、ポインタpの値と各データ・バッファの入力アドレス及び出力アドレスの関係は次のようになる。

【0015】いまタイミング1におけるポインタpの値を0とすると、各基本フィルタのデータ・バッファの出力アドレスは、各データ・バッファの相対アドレスが0のアドレス（先頭アドレス）になる。また各基本フィルタのデータ・バッファの入力アドレスは、上述のように出力アドレスとの差アドレスが対応する基本フィルタの遅延段数と等しくなるようなアドレスであり、ステージ1の基本フィルタのデータ・バッファでは相対アドレスが1のアドレス、ステージ2の基本フィルタのデータ・バッファでは相対アドレスが2のアドレス、ステージ3の基本フィルタのデータ・バッファでは相対アドレスが3のアドレス、ステージ4の基本フィルタのデータ・バッファでは相対アドレスが0のアドレス（最後のアドレスを越えるので先頭アドレスに戻る）となる。したがって、各データ・バッファの入力アドレスの相対アドレスは、図に示したように1ずつ大きくなる。

【0016】タイミング2ではポインタpの値を1つ進めて1とする。それにより、各基本フィルタのデータ・バッファの出力アドレスは、タイミング1におけるアドレスから1つ進んで、相対アドレスが1のアドレスになる。また入力アドレスも、タイミング1におけるアドレスから1つ進んで、ステージ1の基本フィルタのデータ・バッファでは相対アドレスが2のアドレス、ステージ2の基本フィルタのデータ・バッファでは相対アドレスが3のアドレス、ステージ3の基本フィルタのデータ・バッファでは相対アドレスが0（先頭アドレス）、ステージ4の基本フィルタのデータ・バッファでは相対アドレスが1のアドレスとなる。

【0017】タイミング3及び4でも、同様に、ポインタpの値を1つずつ進めて2及び3とする。それにより各基本フィルタのデータ・バッファの出力アドレス及び入力アドレスは、上記の規則にしたがって1ずつ進み、図示のようになる。

【0018】タイミング5では、ポインタpの値を1進

めると4になり、ポインタの値が0の時の状態と同じになる。したがってタイミング5以降は、タイミング1から4の状態の繰り返しになる。

【0019】図7及び8は、各データ・バッファの出力アドレス及び入力アドレスの、データ・バッファ全体の先頭アドレス（ステージ1のデータ・バッファの先頭アドレス）からの相対アドレスの算出方法と相対アドレスを示す。

【0020】図9は、フィルタ演算の開始から終了までのデータ・バッファに対するデータの入出力アルゴリズムを示す。

【0021】また図10(a)及び(b)は、それぞれ、各タイミングにおけるデータの出力アルゴリズム及び入力アルゴリズムを示す。

【0022】各タイミングにおいて、出力アルゴリズムにより各データ・バッファの出力アドレスから読み出されたデータは演算回路（図示せず）に入力されて各基本フィルタのフィルタ演算が実行され、各基本フィルタの演算結果は入力アルゴリズムにより次ステージの基本フィルタのデータ・バッファの入力アドレスに書き込まれる。なお、ステージ1の基本フィルタのデータ・バッファの入力アドレスには、新しいデータが書き込まれる。また、最終ステージの基本フィルタの出力は、D-A変換されスピーカ駆動回路に入力される。

【0023】この実施例では、上記のように、各データ・バッファの出力アドレスの相対アドレスが等しくなるようにしているため、各データ・バッファの出力アドレスの差アドレスが等しくなる。そのため、ステージ1の基本フィルタのデータ・バッファの出力アドレスを計算すれば、ステージ2以降の基本フィルタのデータ・バッファの出力アドレスは、その出力アドレスを1定数ずつシフトするだけで算出できる。

【0024】次に本発明の他の実施例について説明する。

【0025】図11は、各データ・バッファの入力アドレス及び出力アドレスの位置関係とタイミングの進行による変位を示す説明図である。

【0026】この実施例では、図11に示すように、各データ・バッファの入力アドレスを、各データ・バッファの先頭アドレスからの相対アドレスを等しく保ちながら、タイミングの進行につれて循環変位させる。これにより各データ・バッファの出力アドレスは、相対アドレスが1ずつ小さくなり、入力アドレスの変位に当たって変位する。

【0027】したがって、各データ・バッファの入力アドレス間の差アドレスは、各データ・バッファのサイズに等しくなる。しかも各データ・バッファのサイズを等しくしているため、各データ・バッファの入力アドレス間の差アドレスは同じになる。

【0028】またこの実施例では、ポインタpを用いて

各データ・バッファの入力アドレスの相対アドレスを指定している。したがって、ポインタpの値と各データ・バッファの入力アドレス及び出力アドレスの関係は次のようになる。

【0029】いまタイミング1におけるポインタpの値を0とし、各データ・バッファの入力アドレスの相対アドレスを1とする。すなわちポインタの値に1を加えた値を各データ・バッファの入力アドレスの相対アドレスとする。すると各データ・バッファの出力アドレスは、上記の関係から、ステージ1の基本フィルタのデータ・バッファでは相対アドレスが0のアドレス、ステージ2の基本フィルタのデータ・バッファでは相対アドレスが3のアドレス（先頭アドレスから最後のアドレスに戻る）、ステージ3の基本フィルタのデータ・バッファでは相対アドレスが2のアドレス、ステージ4の基本フィルタのデータ・バッファでは相対アドレスが1のアドレスとなる。

【0030】タイミング2ではポインタpの値を1つ進めて1とする。それにより、各基本フィルタのデータ・バッファの入力アドレスは、タイミング1におけるアドレスから1つ進んで、相対アドレスが2のアドレスになる。また出力アドレスも、タイミング1におけるアドレスから1つ進んで、ステージ1の基本フィルタのデータ・バッファでは相対アドレスが1のアドレス、ステージ2の基本フィルタのデータ・バッファでは相対アドレスが0のアドレス、ステージ3の基本フィルタのデータ・バッファでは相対アドレスが3（最後のアドレス）、ステージ4の基本フィルタのデータ・バッファでは相対アドレスが2のアドレスとなる。

【0031】タイミング3及び4では、ポインタpの値を1ずつ進めて3及び4とする。それにより、各基本フィルタのデータ・バッファの入力アドレス及び出力アドレスは、上記の規則にしたがって1ずつ進み、図示のようになる。

【0032】タイミング5では、ポインタpの値を1進めると4になり、ポインタの値が0のタイミング1の時の状態に戻る。したがってタイミング5以降は、タイミング1から4における状態の繰り返しになる。

【0033】図12及び13は、各データ・バッファの入力アドレス及び出力アドレスの、データ・バッファ全体の先頭アドレス（ステージ1のデータ・バッファの先頭アドレス）からの相対アドレスの算出方法と相対アドレスを示す。

【0034】フィルタ演算の開始から終了までのデータ・バッファに対するデータの入出力アルゴリズムは、前実施例と同じである。

【0035】また図14(a)及び(b)は、それぞれ、各タイミングにおけるデータの出力アルゴリズム及び入力アルゴリズムを示す。

【0036】各タイミングにおいて、出力アルゴリズム

により各データ・バッファの出力アドレスから読み出されたデータは演算回路（図示せず）に入力されて各基本フィルタのフィルタ演算が実行され、各基本フィルタの演算結果は入力アルゴリズムにより次ステージの基本フィルタのデータ・バッファの入力アドレスに書き込まれる。なお、ステージ1の基本フィルタのデータ・バッファの入力アドレスには、新しいデータが書き込まれる。また、最終ステージの基本フィルタの出力は、D-A変換されスピーカ駆動回路に入力される。

【0037】この第2の実施例では、上記のように、各データ・バッファの入力アドレスの相対アドレスが等しくなるようにしているので、各データ・バッファの入力アドレス間の差アドレスが等しくなる。そのため、ステージ1の基本フィルタのデータ・バッファの入力アドレスを計算すれば、ステージ2以降の基本フィルタのデータ・バッファの入力アドレスは、その入力アドレスを1定数ずつシフトするだけで算出できる。

【0038】

【発明の効果】以上説明したように、本発明のデジタル・フィルタの演算データの遅延方法は、各基本フィルタに対して、少なくとも遅延段数が最大の基本フィルタの遅延データを格納可能なサイズの、同サイズのデータ・バッファを割り当ててメモリ上に連続して配置し、各データ・バッファにデータを書き込む入力アドレスを、各データ・バッファの先頭アドレスからの相対アドレスが等しくなる位置関係または各データ・バッファから所要のタイミング数遅延されたデータを読み出す出力アドレスの各データ・バッファの先頭アドレスからの相対アドレスが等しくなるような位置関係に保ちながら、タイミングの進行と共に各データ・バッファ内で循環変位させるので、各データ・バッファの入力アドレスまたは出力アドレス間の差アドレスが等しくなる。そのため、ステージ1のデータ・バッファの入力アドレスまたは出力アドレスを計算すれば、ステージ2以降のデータ・バッファの入力アドレスまたは出力アドレスは、それを1定数ずつシフトするだけで算出することができる。したがって、ハードウェアで実現する場合、入力アドレスまたは出力アドレスのポインタは1つだけ保持すればよく、従来の方法に比べて保持すべきポインタの数が少なくなる。またソフトウェアや汎用のハードウェアで実現する場合には、遅延データの入力アドレスまたは出力アドレスの計算が簡単になり、ポインタの計算に要する時間が大幅に短縮できる。

【図面の簡単な説明】

【図1】音声合成に使用されているLMAフィルタの伝達関数を示す図。

【図2】図1の伝達関数を実現するデジタル・フィルタの構成を示すシグナル・フロー・グラフを示す図。

【図3】本発明のデータ遅延方法を実施したデジタル・フィルタの伝達関数を示す図。

【図4】図3の伝達関数を伝達関数を実現するデジタル・フィルタの構成を示すシグナル・フロー・グラフを示す図。

【図5】図4の構成によるフィルタ演算に対して本発明のデータ遅延方法を実施したときのデータ・バッファの構成の説明図。

【図6】本発明の実施例における各データ・バッファの入力アドレス及び出力アドレスの位置関係とタイミングの進行による変位を示す説明図。

【図7】本発明の実施例における各データ・バッファの出力アドレスのデータ・バッファ全体の先頭アドレスからの相対アドレスの算出方法と相対アドレスを示す図。

【図8】本発明の実施例における各データ・バッファの入力アドレスのデータ・バッファ全体の先頭アドレスからの相対アドレスの算出方法と相対アドレスを示す図。

【図9】フィルタ演算の開始から出力までのデータ・バッファに対するデータの入出力アルゴリズムを示すフローチャート。

【図10】(a)及び(b)は本発明の実施例における各タイミングでのデータの入出力アルゴリズム及び入力アルゴリズムを示すフローチャート。

【図11】本発明の他の実施例における各データ・バッファの入力アドレス及び出力アドレスの位置関係とタイミングの進行による変位を示す説明図。

【図12】本発明の他の実施例における各データ・バッファの出力アドレスのデータ・バッファ全体の先頭アドレスからの相対アドレスの算出方法と相対アドレスを示す図。

【図13】本発明の他の実施例における各データ・バッファの入力アドレスのデータ・バッファ全体の先頭アドレスからの相対アドレスの算出方法と相対アドレスを示す図。

【図14】(a)及び(b)は本発明の他の実施例における各タイミングでのデータの入出力アルゴリズム及び入力アルゴリズムを示す図である。

【図1】

基本フィルタ

$$h_k(z) = \frac{1 + \frac{1}{2} c_k z^{-k} + \frac{1}{12} (c_k z^{-k})^2}{1 - \frac{1}{2} c_k z^{-k} + \frac{1}{12} (c_k z^{-k})^2}$$

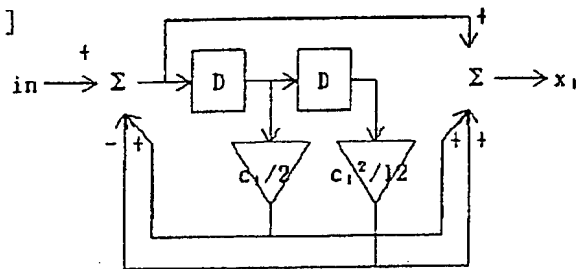
 $c_k$ : ケプ・ストラム $k=1 \sim N$ 

$$h_0(z) = \exp(c_0)$$

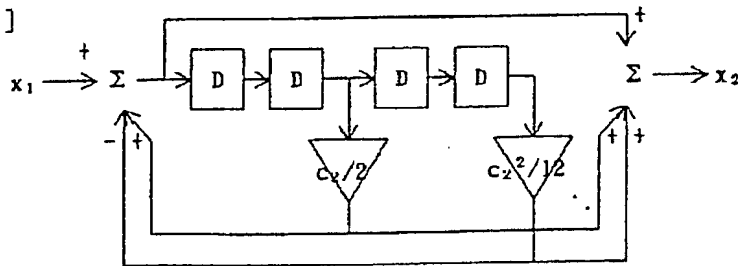
LMAフィルタ

$$H(z) = \prod_{k=0}^N h_k(z)$$

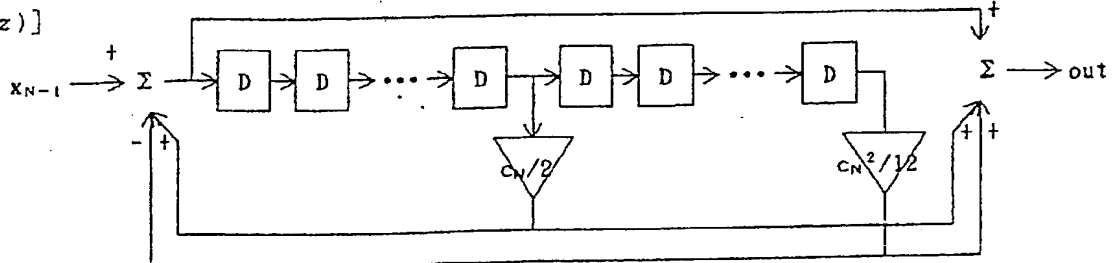
【図2】

 $[h_1(z)]$ 

D: 単位遅延

 $[h_2(z)]$ 

⋮

 $[h_N(z)]$ 

【図3】

基本フィルタ

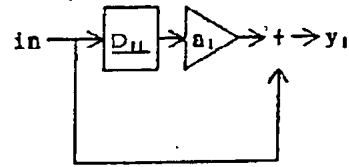
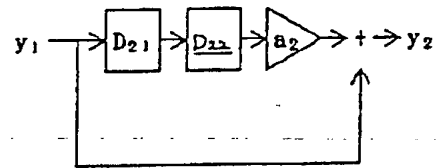
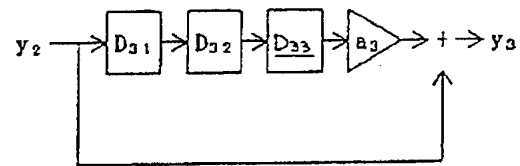
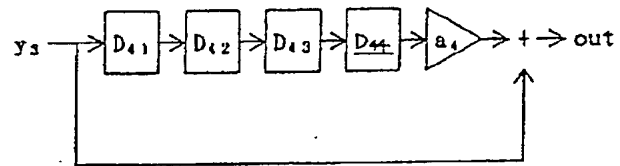
$$f_i(z) = 1 + a_i z^{-i}$$

 $i=1 \sim M$ 

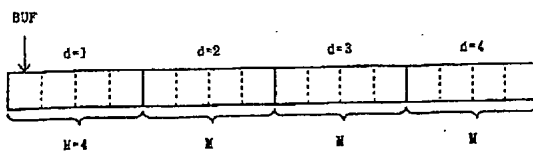
カスケード接続

$$F(z) = \prod_{i=1}^M f_i(z)$$

【図4】

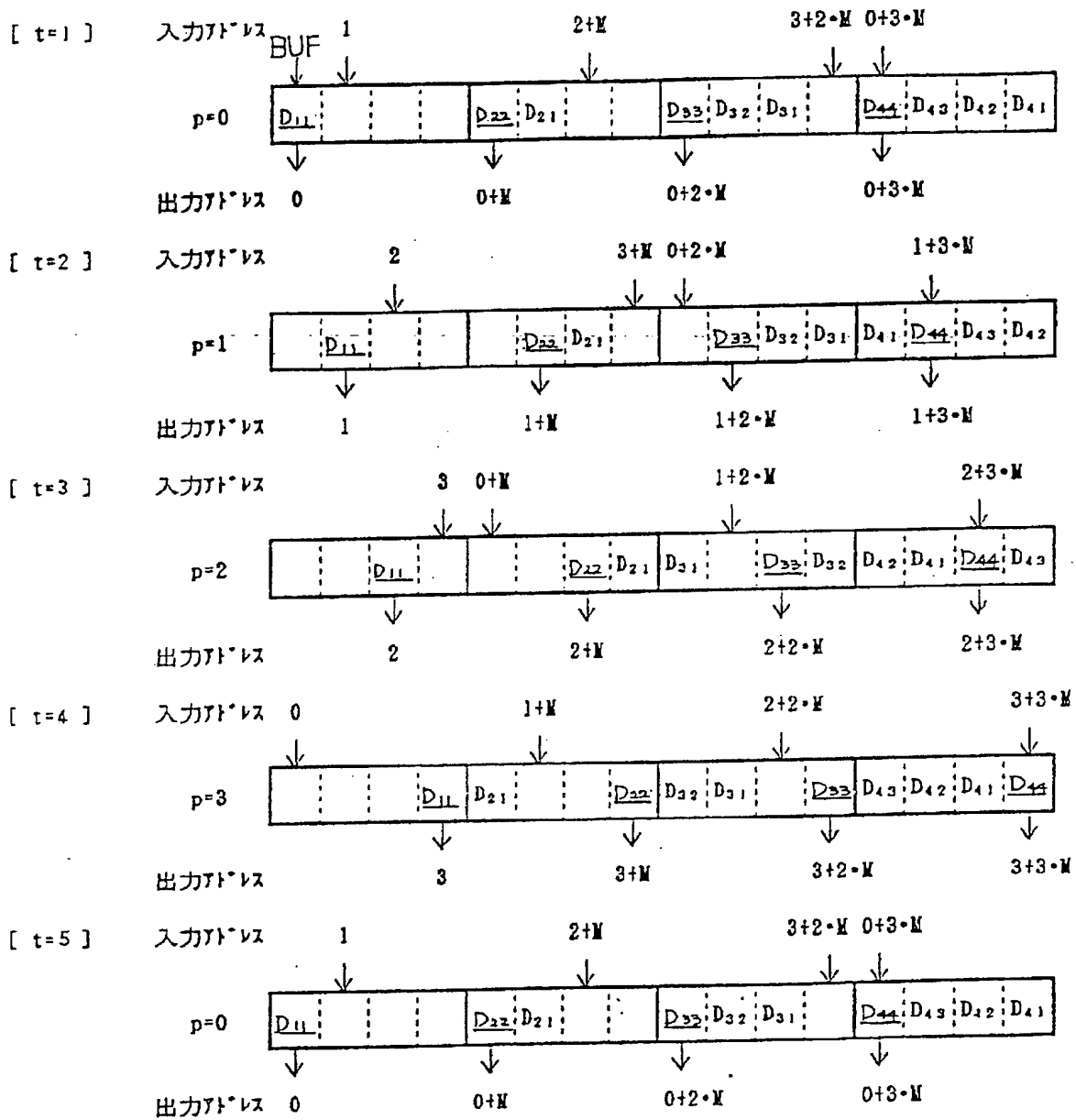
 $[f_1(z)]$  $[f_2(z)]$  $[f_3(z)]$  $[f_4(z)]$ 

【図5】



$\left\{ \begin{array}{l} BUF: \text{遅延} z^{-1} \text{の先頭} 1 \text{ レジスタ} \\ M: \text{基本フィルタの遅延} z^{-1} \text{の} M \text{ レジスタ} (M=4) \\ d: \text{各基本フィルタの遅延段数} \end{array} \right\}$

【図6】



p: 遅延データ・アドレス・インジ  
 BUF: 遅延データ・アドレス先頭アドレス  
 M: 遅延データ・アドレス・サイズ  
 d: 各基本ワイルドの遅延段数  
 Dij: 第i段基本ワイルドのj段遅延データ  
 t: タイミング

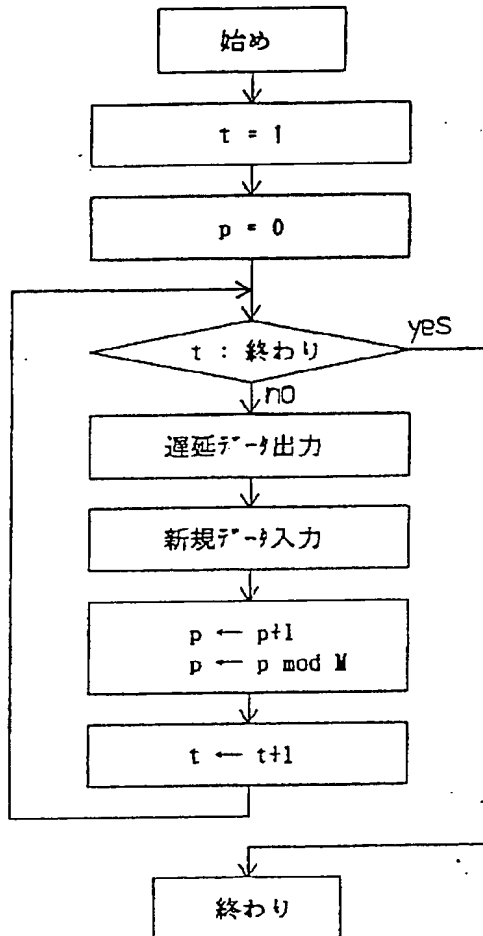
【図7】

タイミング (t)	遅延データ バッファ ポインタ(p)	遅延データ・バッファ先頭からの変位アドレス			
		d=1	d=2	d=3	d=4
		p	p+M	p+2・M	p+3・M
1	0	0	0+M	0+2・M	0+3・M
2	1	1	1+M	1+2・M	1+3・M
3	2	2	2+M	2+2・M	2+3・M
4	3	3	3+M	3+2・M	3+3・M
5	0	0	0+M	0+2・M	0+3・M

【図8】

タイミング (t)	遅延データ バッファ ポインタ(p)	遅延データ・バッファ先頭からの変位アドレス			
		d=1	d=2	d=3	d=4
		$(p+1)\%M$	$(p+2)\%M+M$	$(p+3)\%M+2\cdot M$	$(p+4)\%M+3\cdot M$
1	0	1	2+M	3+2・M	0+3・M
2	1	2	3+M	0+2・M	1+3・M
3	2	3	0+M	1+2・M	2+3・M
4	3	0	1+M	2+2・M	3+3・M
5	0	1	2+M	3+2・M	0+3・M

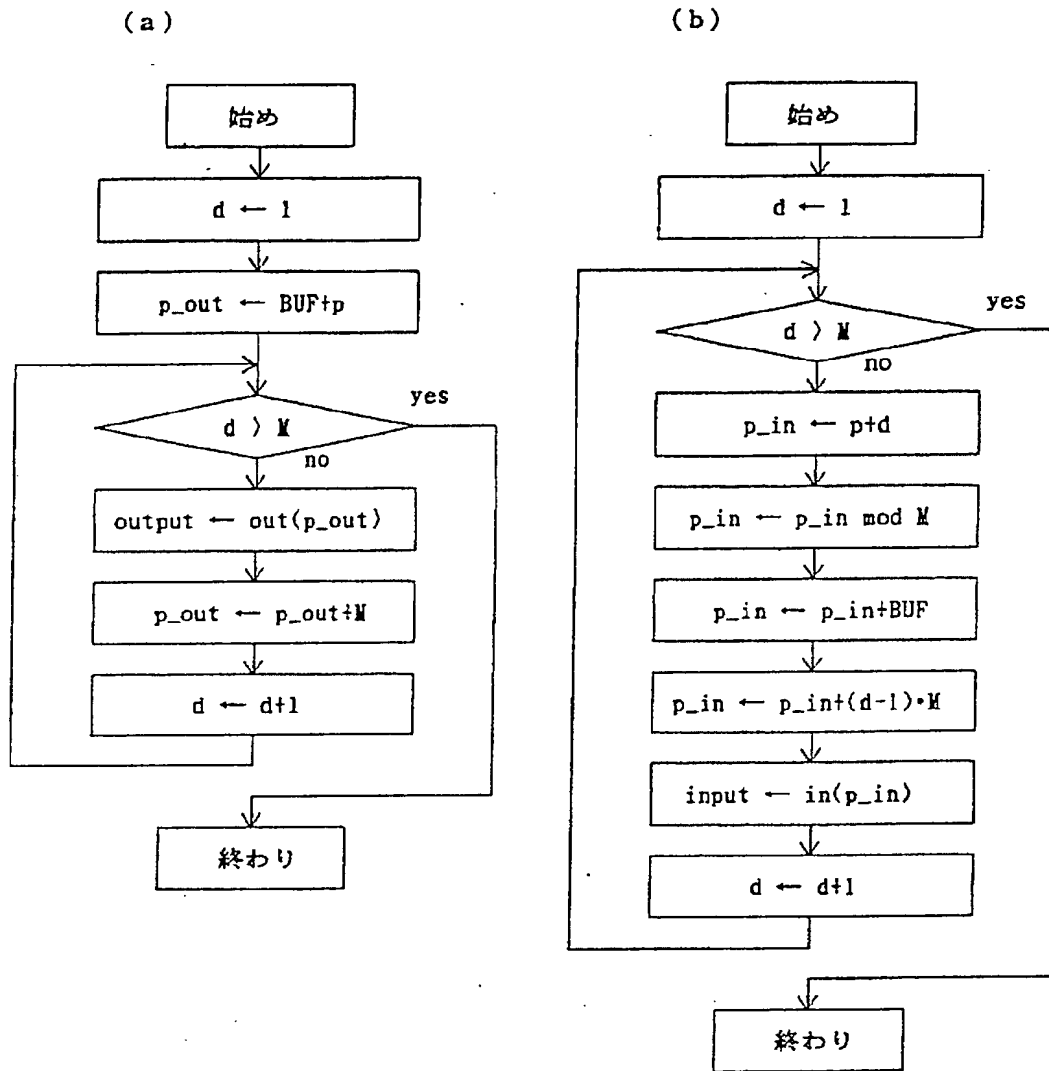
【図9】



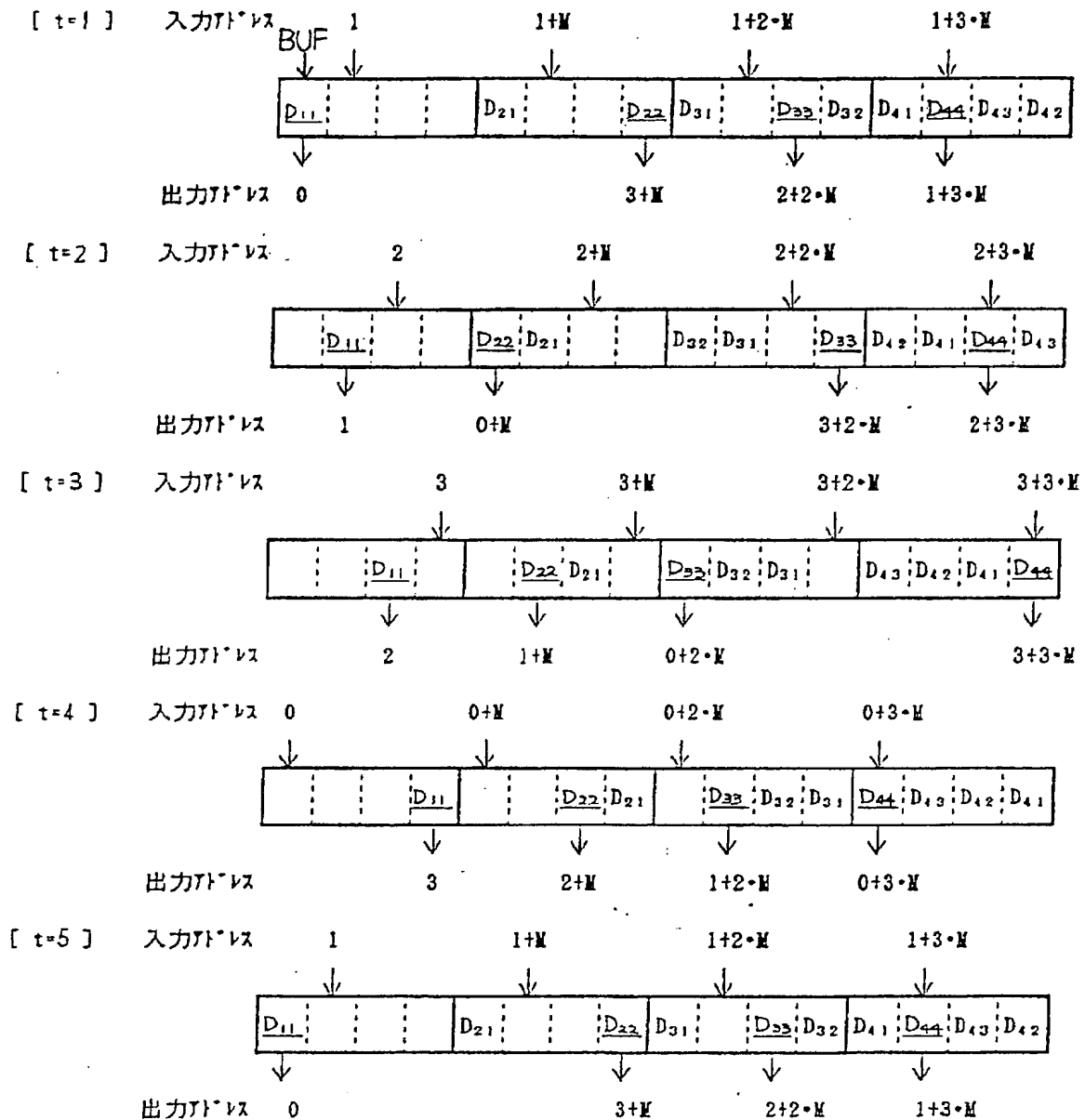
【図12】

タイミング (t)	遅延データ バッファ ポインタ(p)	遅延データ・バッファ先頭からの変位アドレス			
		d=1	d=2	d=3	d=4
		p	$(p-1) \times M + M$	$(p-2) \times M + 2 \cdot M$	$(p-3) \times M + 3 \cdot M$
1	0	0	$3 + M$	$2 + 2 \cdot M$	$1 + 3 \cdot M$
2	1	1	$0 + M$	$3 + 2 \cdot M$	$2 + 3 \cdot M$
3	2	2	$1 + M$	$0 + 2 \cdot M$	$3 + 3 \cdot M$
4	3	3	$2 + M$	$1 + 2 \cdot M$	$0 + 3 \cdot M$
5	0	0	$3 + M$	$2 + 2 \cdot M$	$1 + 3 \cdot M$

【図10】



【図11】



$p$ : 遅延データ・アドレス・インタ  
 BUF: 遅延データ・アドレス先頭アドレス  
 $M$ : 遅延データ・アドレス・サイズ  
 $d$ : 各基本フィルタの遅延段数  
 $D_{ij}$ : 第 $i$ 段基本フィルタの $j$ 段遅延データ  
 $t$ : タイミング

【図13】

タイミング (t)	遅延データ バッファ ポインタ(p)	遅延データ・バッファ先頭からの変位アドレス			
		d=1	d=2	d=3	d=4
		$(p+1)\%M$	$(p+1)\%M+M$	$(p+1)\%M+2\cdot M$	$(p+1)\%M+3\cdot M$
1	0	1	$1+M$	$1+2\cdot M$	$1+3\cdot M$
2	1	2	$2+M$	$2+2\cdot M$	$2+3\cdot M$
3	2	3	$3+M$	$3+2\cdot M$	$3+3\cdot M$
4	3	0	$0+M$	$0+2\cdot M$	$0+3\cdot M$
5	0	1	$1+M$	$1+2\cdot M$	$1+3\cdot M$

【図14】

